

Tema 2: Circuitos Secuenciales

Contenidos

2.1 Introducción

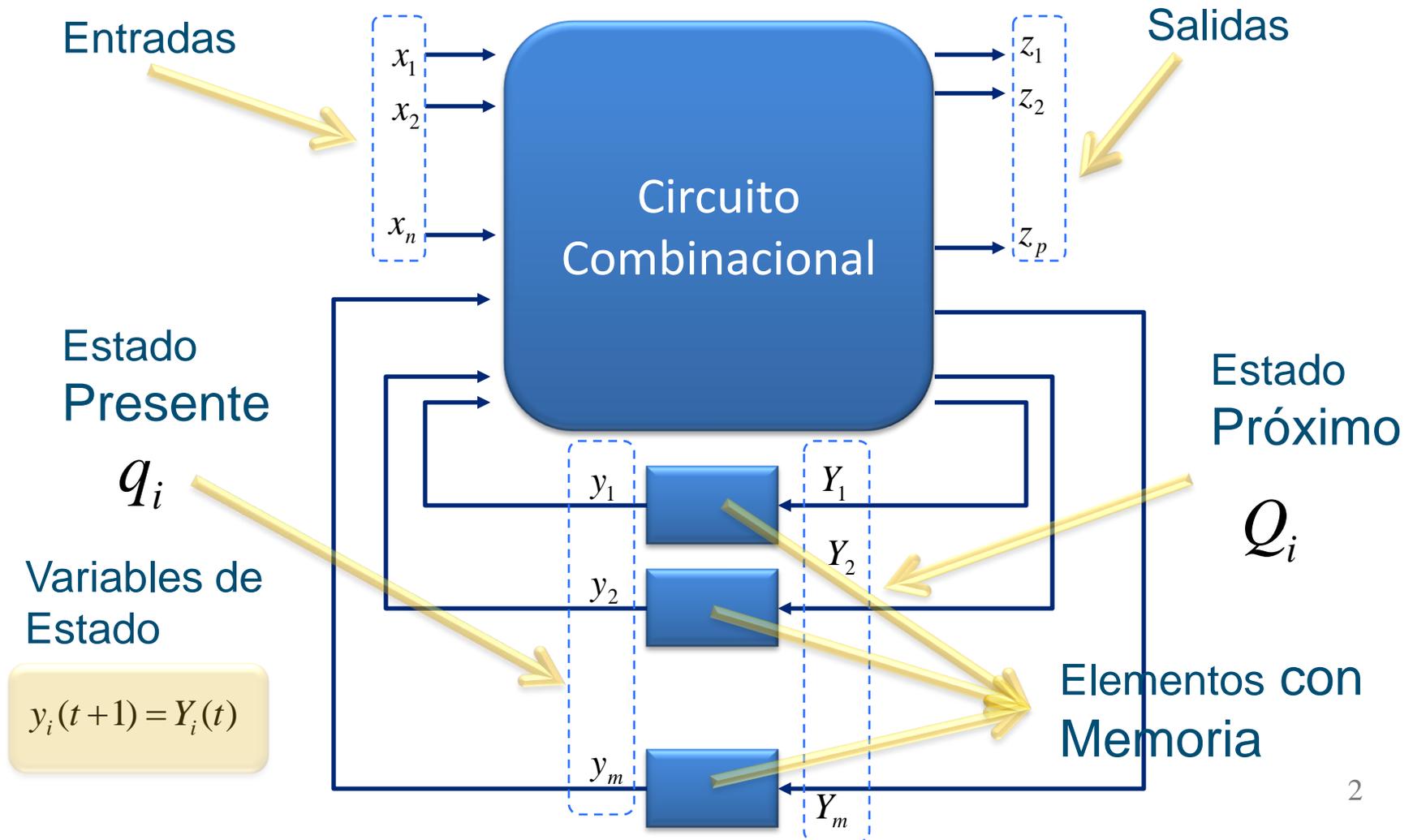
2.2 Descripción de un Sistema Secuencial

2.3 Elementos con Memoria

2.4 Análisis y Síntesis de Circuitos
Secuenciales

2.1 Introducción

Diagrama de un Sistema Secuencial



2.1 Introducción

Clasificación de los Sistemas Secuenciales

- **Asíncronos:** Para una combinación de señales de entrada el sistema evoluciona sin control externo, hasta que llega a un estado interno estable
- **Síncronos:** La evolución del sistema es controlada por una señal de impulsos externos, que se denomina reloj del sistema



2.1 Introducción

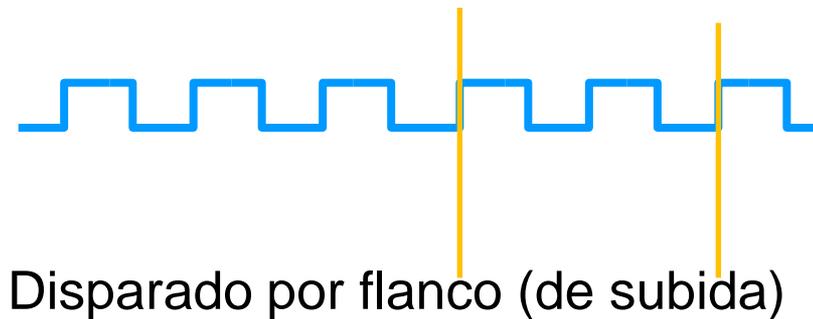
Sistemas Síncronos → •Disparado por nivel
•Disparado por flanco



- alto
- bajo

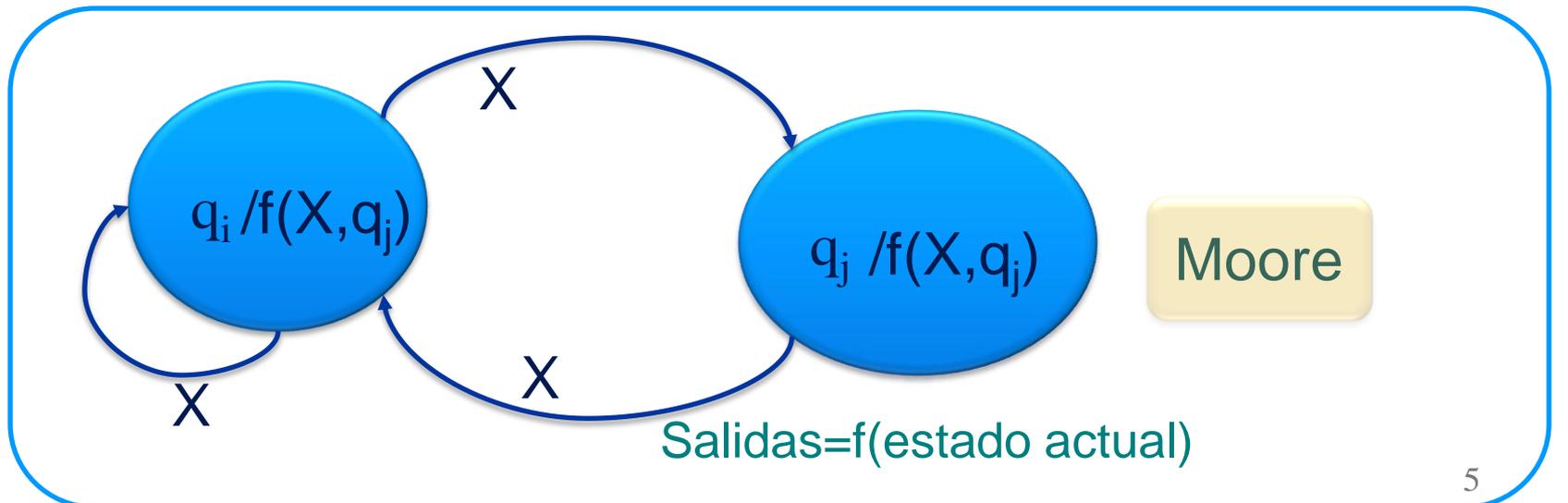
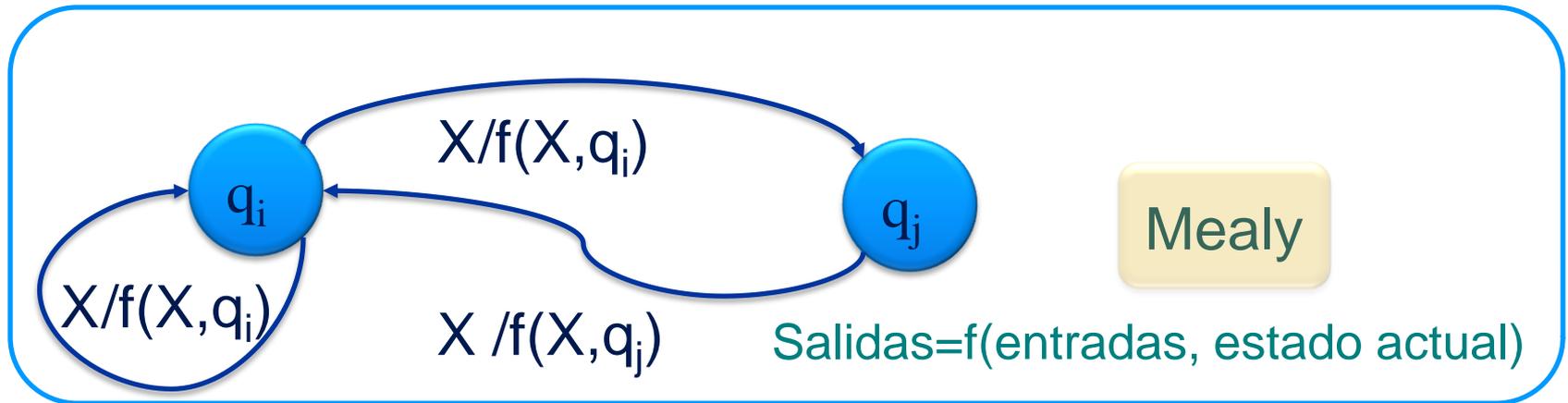


- de subida
- de bajada



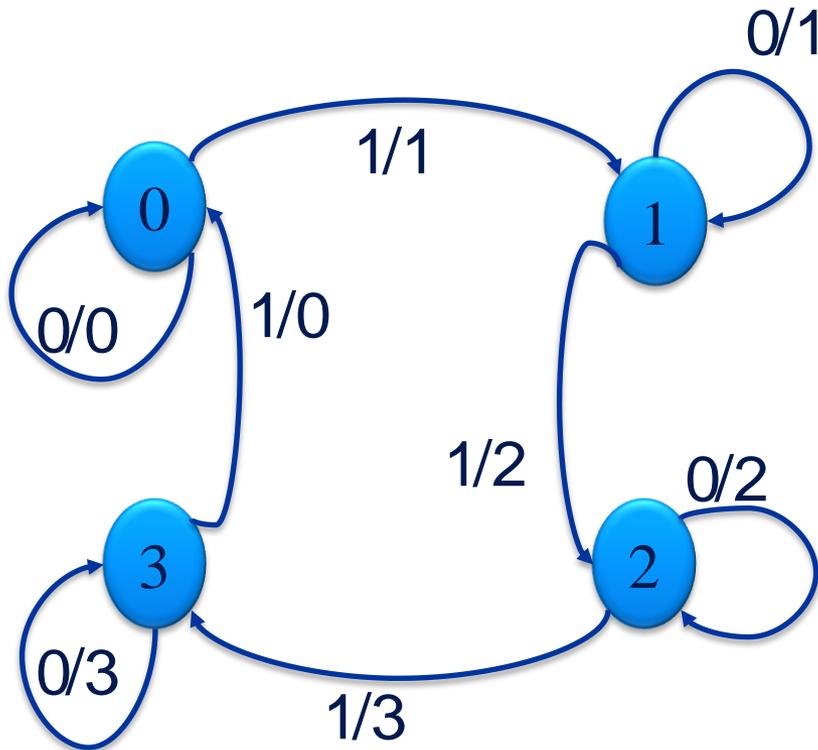
2.2 Descripción de un Sistema Secuencial

Diagramas de estado

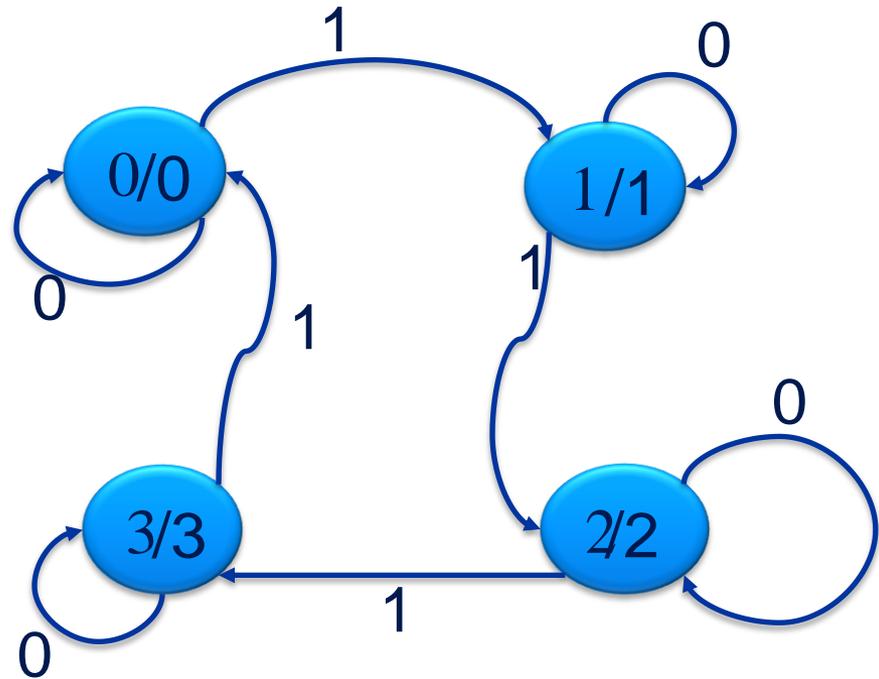


2.2 Descripción de un Sistema Secuencial

Ejemplo de un diagrama de estado (Contador 0-3)



Mealy



Moore

2.2 Descripción de un Sistema Secuencial

Tabla de estado/salida

| | x_0 | x_1 | ... | x_{n-1} |
|-----------|------------------------|--------------------|-----|----------------------------|
| q_0 | $Q_i, f(x_0, q_0)$ | $Q_l, f(x_1, q_1)$ | ... | $Q_s, f(x_{n-1}, q_{n-1})$ |
| q_1 | $Q_j, f(x_0, q_1)$ | ... | ... | ... |
| ... | ... | ... | ... | ... |
| q_{m-1} | $Q_s, f(x_0, q_{m-1})$ | ... | ... | ... |

| | x_0 | x_1 | ... | x_{n-1} | S |
|-----------|-------|-------|-----|-----------|--------------|
| q_0 | Q_i | Q_l | ... | Q_s | $f(q_0)$ |
| q_1 | Q_j | ... | ... | ... | $f(q_1)$ |
| ... | ... | ... | ... | ... | ... |
| q_{m-1} | Q_s | ... | ... | ... | $f(q_{m-1})$ |

Mealy

Moore

2.2 Descripción de un Sistema Secuencial

Tabla de estado/salida

| | 0 | 1 |
|---|-----|-----|
| 0 | 0,0 | 1,1 |
| 1 | 1,1 | 2,2 |
| 2 | 2,2 | 3,3 |
| 3 | 3,3 | 0,0 |

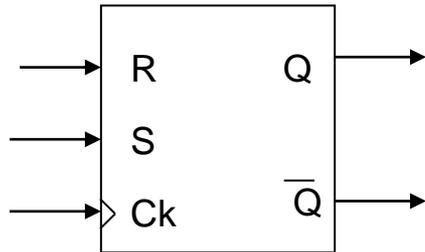
Mealy

| | 0 | 1 | S |
|---|---|---|---|
| 0 | 0 | 1 | 0 |
| 1 | 1 | 2 | 1 |
| 2 | 2 | 3 | 2 |
| 3 | 3 | 0 | 3 |

Moore

2.3 Elementos con Memoria

Biastable R-S



disparado
por flanco
de subida

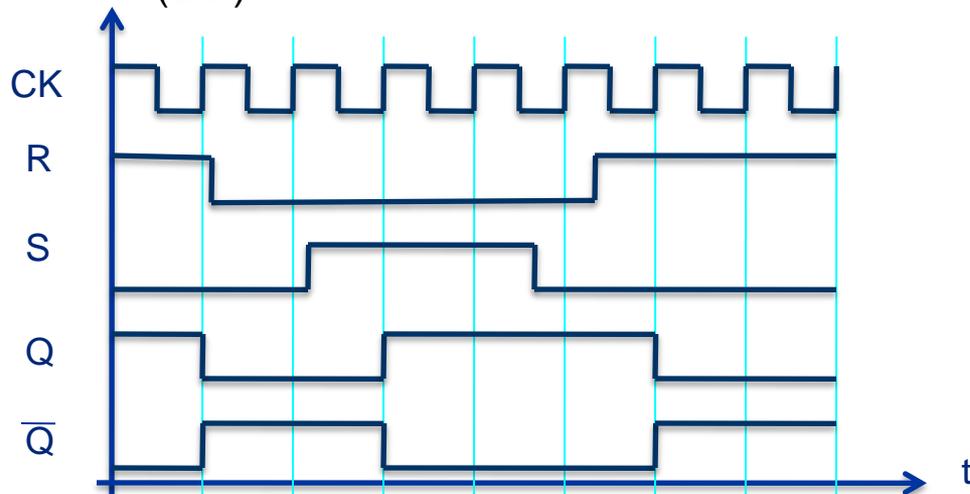
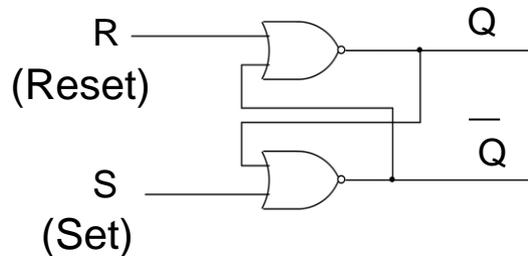


Tabla de Verdad

| R | S | Q_{t+1} | $\overline{Q_{t+1}}$ |
|---|---|-----------|----------------------|
| 0 | 0 | Q_t | $\overline{Q_t}$ |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | ? | ? |

Tabla de Excitación

| Q_t | Q_{t+1} | R | S |
|-------|-----------|---|---|
| 0 | 0 | X | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | X |

2.3 Elementos con Memoria

Biastable J-K

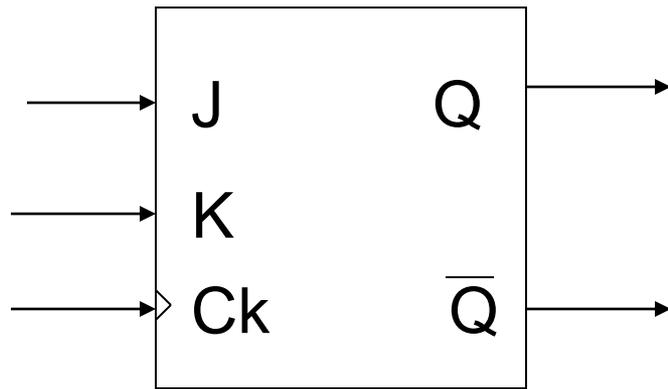
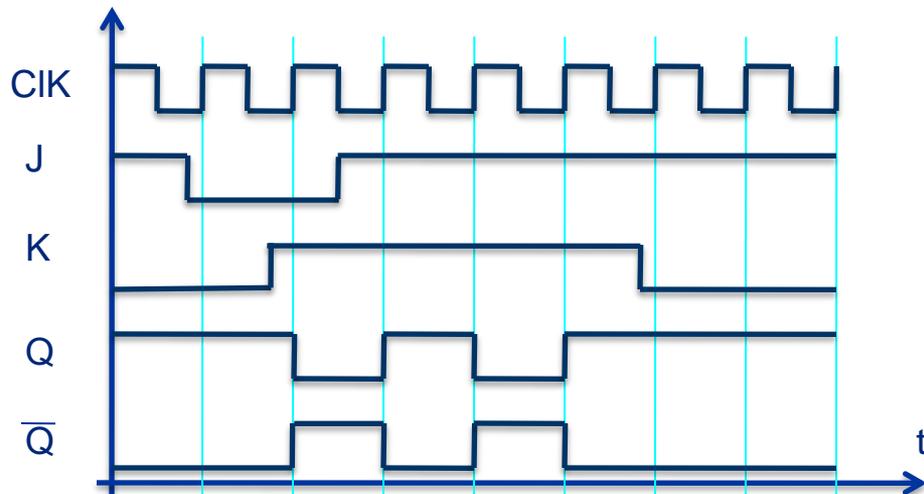


Tabla de Verdad

| J | K | Q_{t+1} | $\overline{Q_{t+1}}$ |
|---|---|------------------|----------------------|
| 0 | 0 | Q_t | $\overline{Q_t}$ |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | $\overline{Q_t}$ | Q_t |

Tabla de Excitación

| Q_t | Q_{t+1} | J | K |
|-------|-----------|---|---|
| 0 | 0 | 0 | X |
| 0 | 1 | 1 | X |
| 1 | 0 | X | 1 |
| 1 | 1 | X | 0 |



2.3 Elementos con Memoria

Biastable D

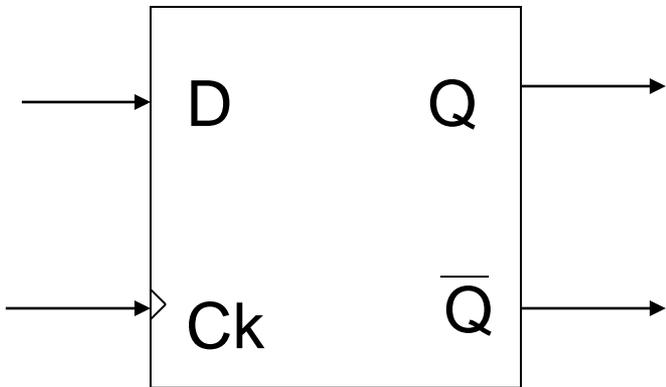
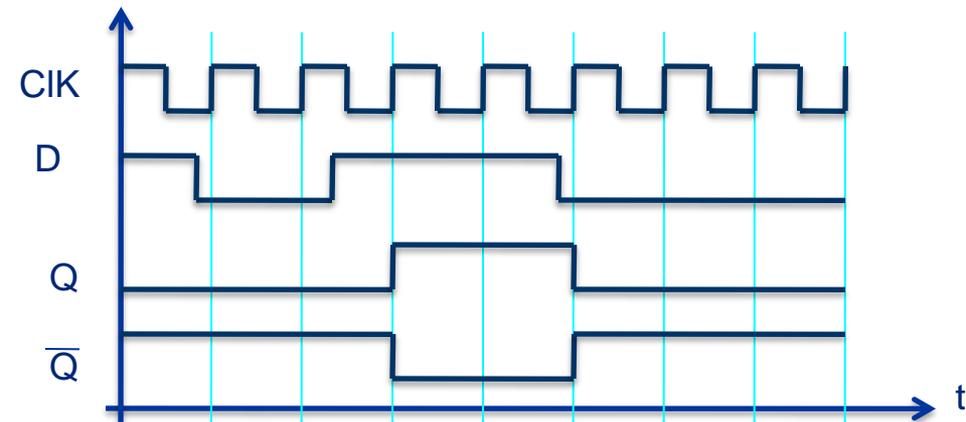


Tabla de Verdad

| D | Q_{t+1} | $\overline{Q_{t+1}}$ |
|---|-----------|----------------------|
| 0 | 0 | 1 |
| 1 | 1 | 0 |

Tabla de Excitación

| Q_t | Q_{t+1} | D |
|-------|-----------|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |



2.3 Elementos con Memoria

Biastable T

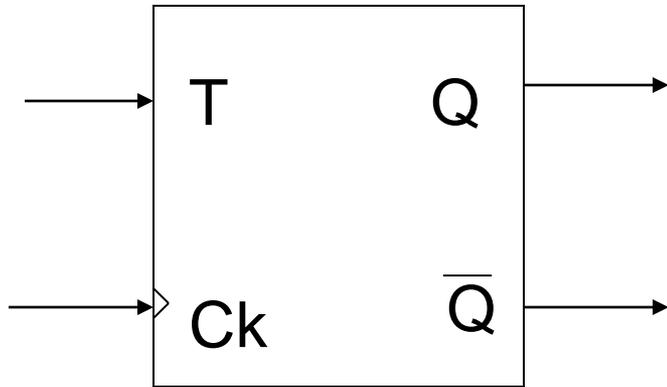
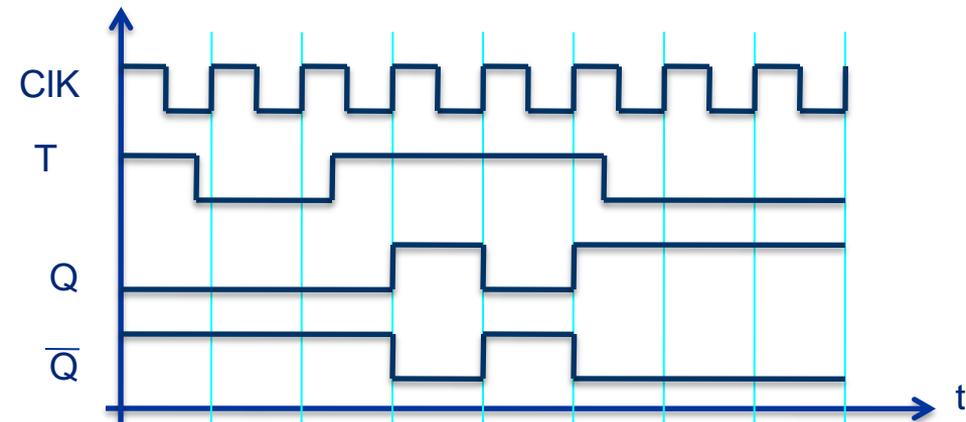


Tabla de Verdad

| T | Q_{t+1} | $\overline{Q_{t+1}}$ |
|---|------------------|----------------------|
| 0 | Q_t | $\overline{Q_t}$ |
| 1 | $\overline{Q_t}$ | Q_t |

Tabla de Excitación

| Q_t | Q_{t+1} | T |
|-------|-----------|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |



2.4 Análisis y Síntesis de Circuitos Secuenciales

Síntesis de un circuito secuencial

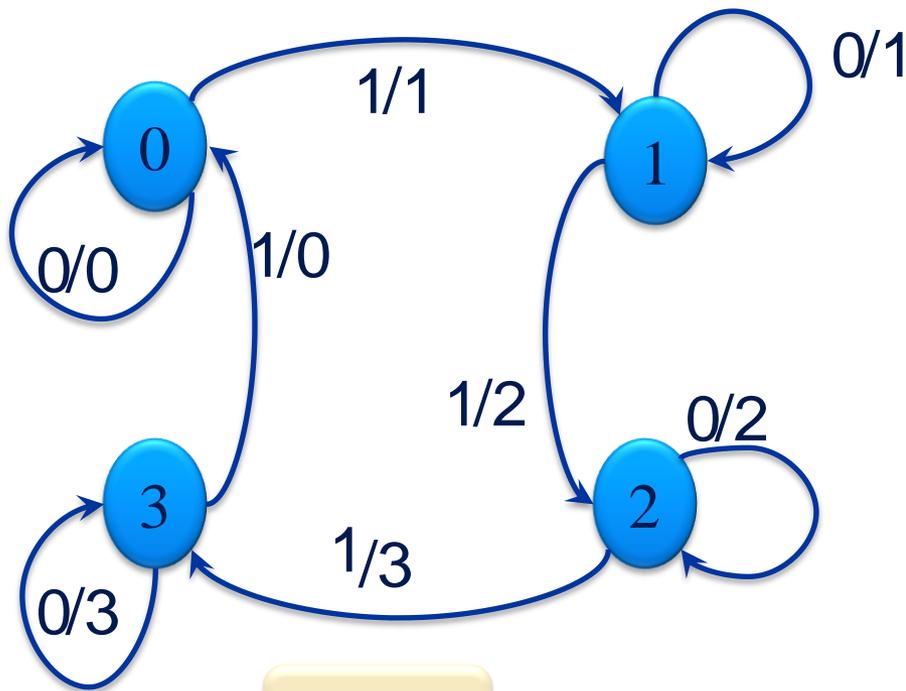
- Especificaciones
- Diagrama de estados
- Tabla de estado/salida
- Codificación de estados
- Tabla de Transición
- Tabla de Excitación de los biestables
- Obtención de las expresiones mínimas
- Implementación
- Análisis y verificación del circuito

2.4 Análisis y Síntesis de Circuitos Secuenciales

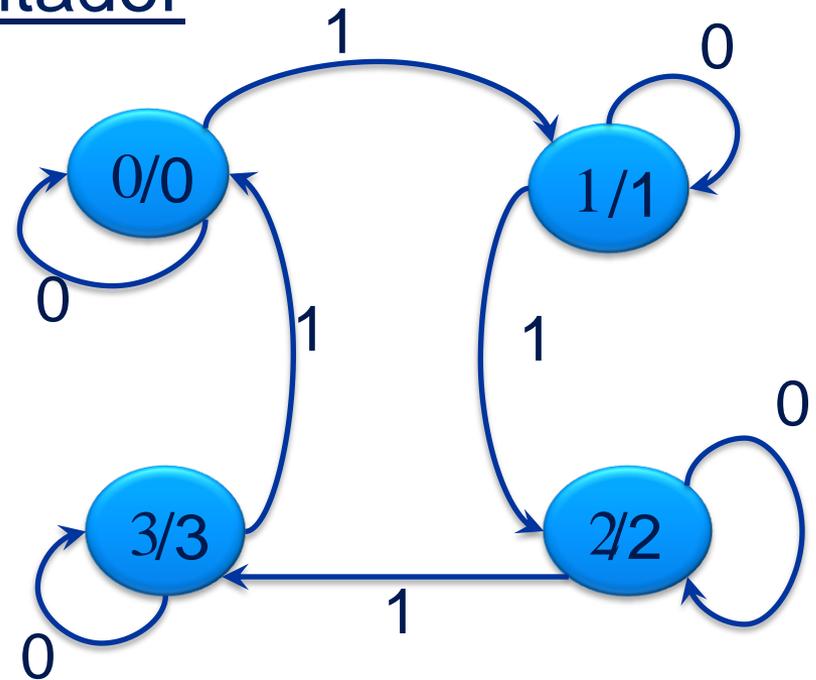
Especificaciones

- Diseñar un contador módulo 4 (cuenta de 0 a 3 y repite) con una señal de avance/parada. Avanza cuando vale 1 y detiene la cuenta cuando vale 0.

Diagrama de estado del contador



Mealy



Moore

2.4 Análisis y Síntesis de Circuitos Secuenciales

Tabla de estado/salida

| | | Entrada, E | |
|---------------|---|------------|-----|
| | | 0 | 1 |
| Estado actual | 0 | 0,0 | 1,1 |
| | 1 | 1,1 | 2,2 |
| | 2 | 2,2 | 3,3 |
| | 3 | 3,3 | 0,0 |

Estado
Siguiete

Mealy

| | | Entrada, E | | |
|---------------|---|------------|---|---|
| | | 0 | 1 | S |
| Estado actual | 0 | 0 | 1 | 0 |
| | 1 | 1 | 2 | 1 |
| | 2 | 2 | 3 | 2 |
| | 3 | 3 | 0 | 3 |

Estado
Siguiete

Moore

2.4 Análisis y Síntesis de Circuitos Secuenciales

Codificación de estados

| Nombre de Estado | Código Binario |
|------------------|----------------|
| 0 | 00 |
| 1 | 01 |
| 2 | 10 |
| 3 | 11 |

Número de Bits \rightarrow Menor entero $\geq \log_2(N^{\circ} \text{ de estados})$

Número biestables = Número de Bits

Cada bit será nominado mediante una variable de estado q_i

2.4 Análisis y Síntesis de Circuitos Secuenciales

Tabla de estado/salida

| | Q1Q0 , S1S0 | |
|------|-------------|-------|
| q1q0 | 0 | 1 |
| 00 | 00,00 | 01,01 |
| 01 | 01,01 | 10,10 |
| 10 | 10,10 | 11,11 |
| 11 | 11,11 | 00,00 |

| | Q1Q0 | Q1Q0 | S1S0 |
|------|------|------|------|
| q1q0 | 0 | 1 | S |
| 00 | 00 | 01 | 00 |
| 01 | 01 | 10 | 01 |
| 10 | 10 | 11 | 10 |
| 11 | 11 | 00 | 11 |

Mealy

Moore

2.4 Análisis y Síntesis de Circuitos Secuenciales

Tabla de transición de estados(Mealy)

Tabla de Estado/Salida

| | 0 | 1 |
|----|-------|-------|
| 00 | 00,00 | 01,01 |
| 01 | 01,01 | 10,10 |
| 10 | 10,10 | 11,11 |
| 11 | 11,11 | 00,00 |



Tabla de transición

| q ₁ | q ₀ | E | Q ₁ | Q ₀ | S1 | S0 |
|----------------|----------------|---|----------------|----------------|----|----|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 |

2.4 Análisis y Síntesis de Circuitos Secuenciales

Tabla de transición de estados(Moore)

Tabla de Estado/Salida

| | 0 | 1 | S |
|----|----|----|----|
| 00 | 00 | 01 | 00 |
| 01 | 01 | 10 | 01 |
| 10 | 10 | 11 | 10 |
| 11 | 11 | 00 | 11 |



Tablas de transición

| q ₁ | q ₀ | E | Q ₁ | Q ₀ |
|----------------|----------------|---|----------------|----------------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 |

| q ₁ | q ₀ | S1 | S0 |
|----------------|----------------|----|----|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 |

2.4 Análisis y Síntesis de Circuitos Secuenciales

Tabla de excitación

¡¡ Dependerá del biestable usado !!

| q_1 | q_0 | E | Q_1 | Q_0 | D_1 | D_0 |
|-------|-------|---|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 |

Tabla de transición

Tabla de Excitación, D

| Q_t | Q_{t+1} | D |
|-------|-----------|---|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |



Entradas a cada biestable

2.4 Análisis y Síntesis de Circuitos Secuenciales

Obtención de las expresiones mínimas

D1

| q1q0 E | 00 | 01 | 11 | 10 |
|-----------|----|----|----|----|
| 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |

$$D1 = E \cdot \bar{q}_1 \cdot q_0 + \bar{E} \cdot q_1 + q_1 \cdot \bar{q}_0$$

D0

| q1q0 E | 00 | 01 | 11 | 10 |
|-----------|----|----|----|----|
| 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |

$$D0 = \bar{E} \cdot q_0 + E \cdot \bar{q}_0$$

2.4 Análisis y Síntesis de Circuitos Secuenciales

Obtención de las expresiones mínimas Salidas(Moore)

S1

| q_1 | 0 | 1 |
|-------|---|---|
| q_0 | | |
| 0 | 0 | 1 |
| 1 | 0 | 1 |

$S1 = q_1$

S0

| q_1 | 0 | 1 |
|-------|---|---|
| q_0 | | |
| 0 | 0 | 0 |
| 1 | 1 | 1 |

$S0 = q_0$

2.4 Análisis y Síntesis de Circuitos Secuenciales

Obtención de las expresiones mínimas Salidas (Mealy)

S1

| q_1q_0 E | 00 | 01 | 11 | 10 |
|-----------------|----|----|----|----|
| 0 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |

$$S1 = E \cdot \bar{q}_1 \cdot q_0 + \bar{E} \cdot q_1 + q_1 \cdot \bar{q}_0$$

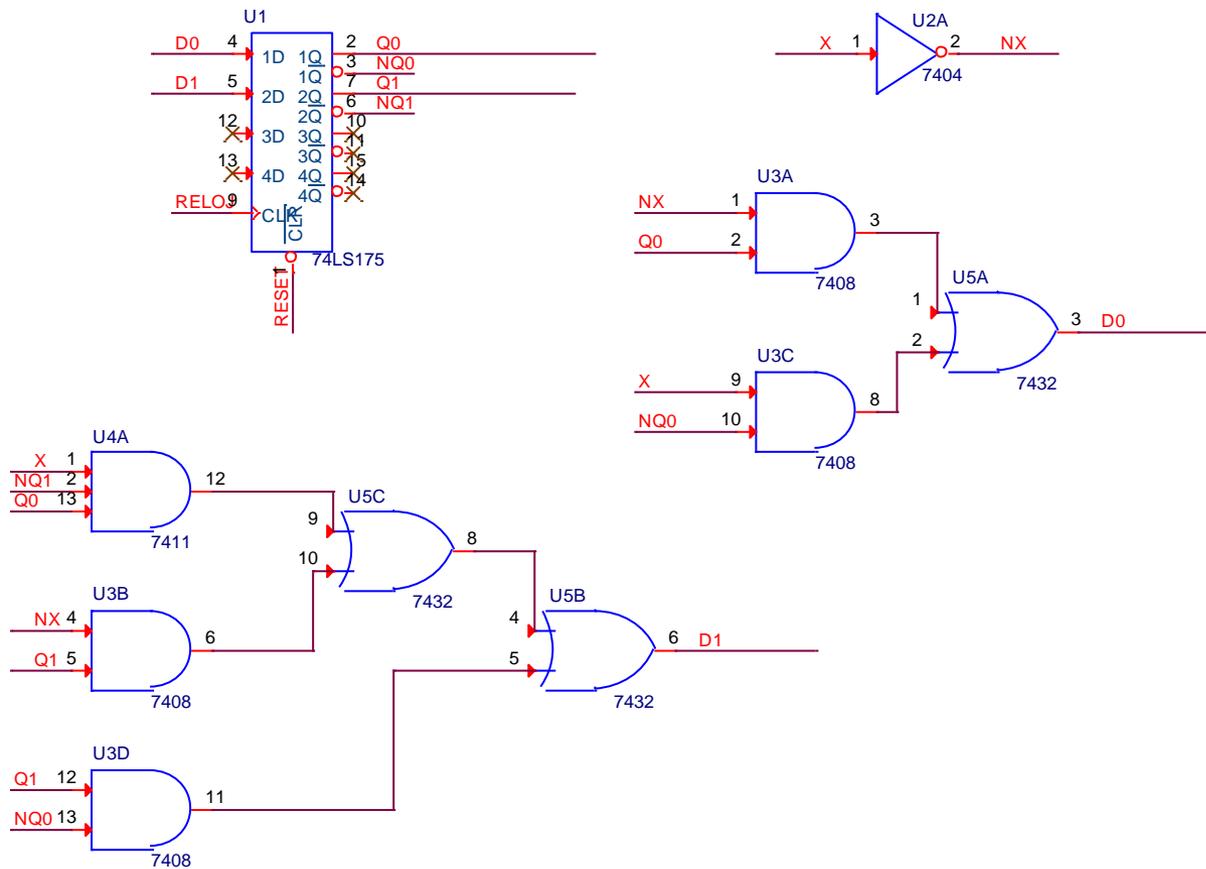
S0

| q_1q_0 E | 00 | 01 | 11 | 10 |
|-----------------|----|----|----|----|
| 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |

$$S0 = \bar{E} \cdot q_0 + E \cdot \bar{q}_0$$

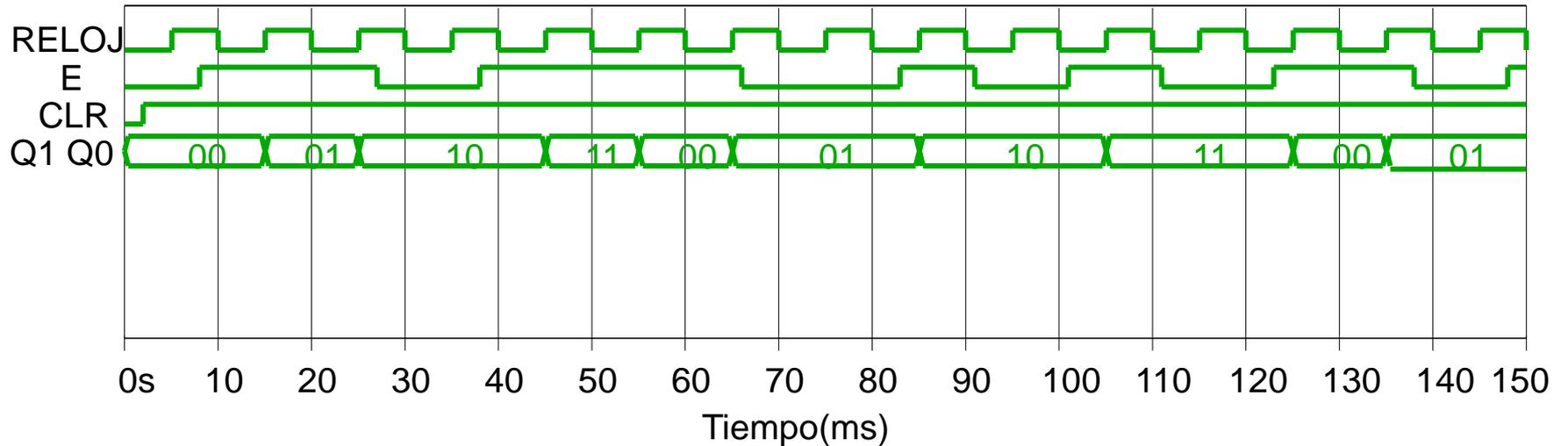
2.4 Análisis y Síntesis de Circuitos Secuenciales

Implementación



2.4 Análisis y Síntesis de Circuitos Secuenciales

Verificación y Pruebas



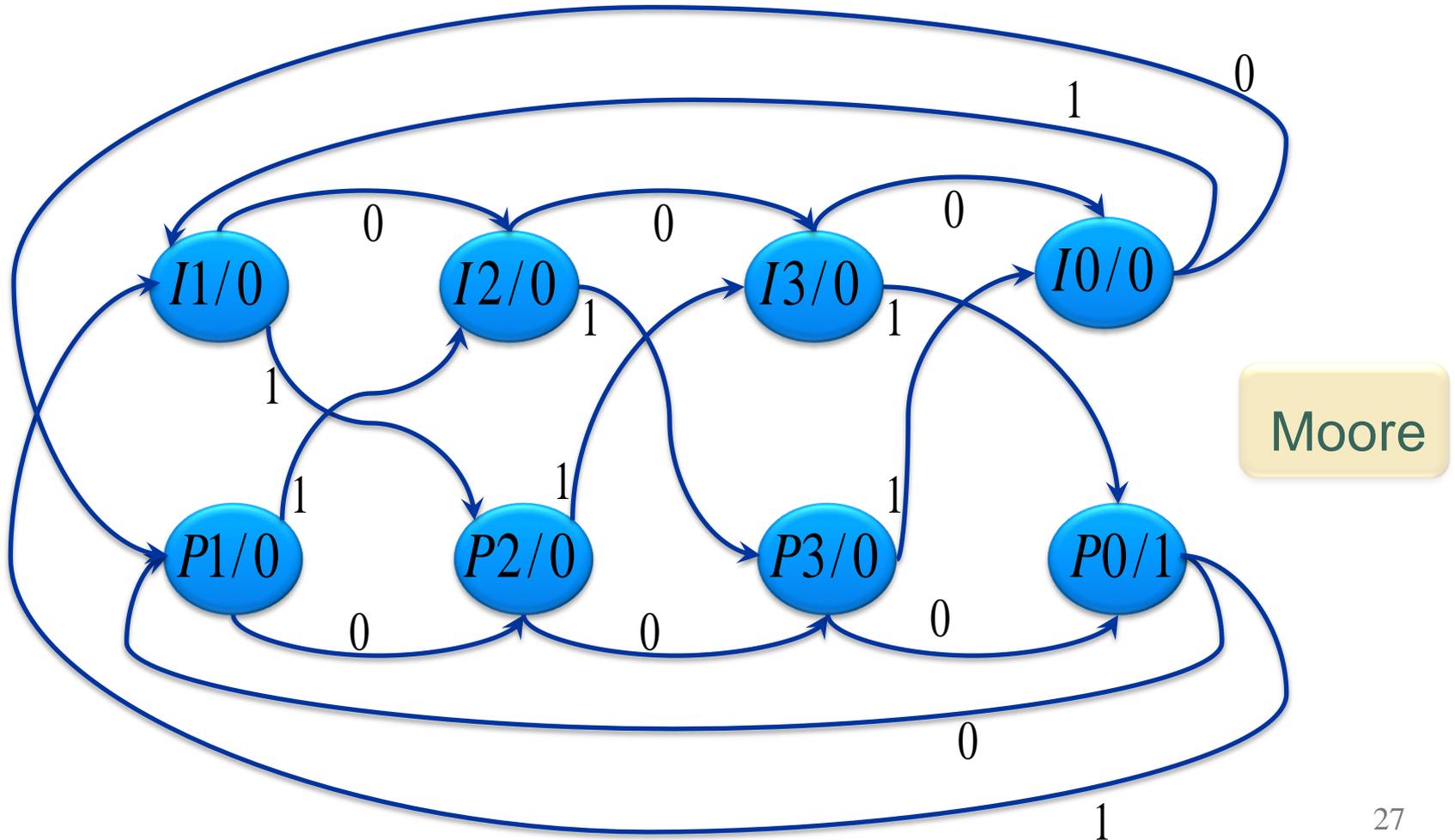
2.4 Análisis y Síntesis de Circuitos Secuenciales

Especificaciones

- Diseñar un circuito verificador de paridad para caracteres de 4 bits. El circuito recibirá por una línea serie los 4 bits. Coincidiendo con el 4^o bit sacará como salida un 1 si y solo si se han recibido un número par de unos. Una vez recibido los cuatro bits se volverá a esperar un nuevo carácter de 4 bits. Durante la recepción de los 3 primeros bits la salida será 0.

2.4 Análisis y Síntesis de Circuitos Secuenciales

Diagrama de estados



2.4 Análisis y Síntesis de Circuitos Secuenciales

Tabla de estado-salida

| | 0 | 1 | S |
|-----------|----------|----------|----------|
| I0 | P1 | I1 | 0 |
| I1 | I2 | P2 | 0 |
| I2 | I3 | P3 | 0 |
| I3 | I0 | P0 | 0 |
| P0 | P1 | I1 | 1 |
| P1 | P2 | I2 | 0 |
| P2 | P3 | I3 | 0 |
| P3 | P0 | I0 | 0 |

2.4 Análisis y Síntesis de Circuitos Secuenciales

Tabla de estado-salida

| | 0 | 1 | S |
|----|----|----|---|
| I0 | P1 | I1 | 0 |
| I1 | I2 | P2 | 0 |
| I2 | I3 | P3 | 0 |
| I3 | I0 | P0 | 0 |
| P0 | P1 | I1 | 1 |
| P1 | P2 | I2 | 0 |
| P2 | P3 | I3 | 0 |
| P3 | P0 | I0 | 0 |

| | 0 | 1 | S |
|-----|-----|-----|---|
| 000 | 101 | 001 | 0 |
| 001 | 010 | 110 | 0 |
| 010 | 011 | 111 | 0 |
| 011 | 000 | 100 | 0 |
| 100 | 101 | 001 | 1 |
| 101 | 110 | 010 | 0 |
| 110 | 111 | 011 | 0 |
| 111 | 100 | 000 | 0 |

2.4 Análisis y Síntesis de Circuitos Secuenciales

Tabla de transición de estados

| q_2 | q_1 | q_0 | E | Q_2 | Q_1 | Q_0 | S |
|-------|-------|-------|---|-------|-------|-------|---|
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |

2.4 Análisis y Síntesis de Circuitos Secuenciales

Tabla de excitación (J-K)

| q_2 | q_1 | q_0 | E | Q_2 | Q_1 | Q_0 | J_2 | K_2 | J_1 | K_1 | J_0 | K_0 |
|-------|-------|-------|---|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| 0 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | X | 0 | X | 1 | X |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | X | 0 | X | 1 | X |
| 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | X | 1 | X | X | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | X | 1 | X | X | 1 |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | X | X | 0 | 1 | X |
| 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | X | X | 0 | 1 | X |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | X | X | 1 | X | 1 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | X | X | 1 | X | 1 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | X | 0 | 0 | X | 1 | X |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | X | 1 | 0 | X | 1 | X |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | X | 0 | 1 | X | X | 1 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | X | 1 | 1 | X | X | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 1 | X | 0 | X | 0 | 1 | X |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | X | 1 | X | 0 | 1 | X |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | X | 0 | X | 1 | X | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | X | 1 | X | 1 | X | 1 |

2.4 Análisis y Síntesis de Circuitos Secuenciales

Obtención de las expresiones mínimas

J2

| q_2q_1 q_0E | 00 | 01 | 11 | 10 |
|--------------------|----|----|----|----|
| 00 | 1 | 0 | X | X |
| 01 | 0 | 1 | X | X |
| 11 | 1 | 1 | X | X |
| 10 | 0 | 0 | X | X |

$$J2 = E \cdot q_1 + E \cdot q_0 + \bar{E} \cdot \bar{q}_0 \cdot \bar{q}_1$$

K2

| q_2q_1 q_0E | 00 | 01 | 11 | 10 |
|--------------------|----|----|----|----|
| 00 | X | X | 0 | 0 |
| 01 | X | X | 1 | 1 |
| 11 | X | X | 1 | 1 |
| 10 | X | X | 0 | 0 |

$$K2 = E$$

2.4 Análisis y Síntesis de Circuitos Secuenciales

Obtención de las expresiones mínimas

J1

| q_2q_1 q_0E | 00 | 01 | 11 | 10 |
|--------------------|----|----|----|----|
| 00 | 0 | X | X | 0 |
| 01 | 0 | X | X | 0 |
| 11 | 1 | X | X | 1 |
| 10 | 1 | X | X | 1 |

$$J1 = q_0$$

K1

| q_2q_1 q_0E | 00 | 01 | 11 | 10 |
|--------------------|----|----|----|----|
| 00 | X | 0 | 0 | X |
| 01 | X | 0 | 0 | X |
| 11 | X | 1 | 1 | X |
| 10 | X | 1 | 1 | X |

$$K1 = q_0$$

2.4 Análisis y Síntesis de Circuitos Secuenciales

Obtención de las expresiones mínimas

J0

| q_2q_1 q_0E | 00 | 01 | 11 | 10 |
|--------------------|----|----|----|----|
| 00 | 1 | 1 | X | X |
| 01 | 1 | 1 | X | X |
| 11 | X | X | 1 | 1 |
| 10 | X | X | 1 | 1 |

$J0 = 1$

K0

| q_2q_1 q_0E | 00 | 01 | 11 | 10 |
|--------------------|----|----|----|----|
| 00 | X | X | 1 | 1 |
| 01 | X | X | 1 | 1 |
| 11 | 1 | 1 | X | X |
| 10 | 1 | 1 | X | X |

$K0 = 1$

2.4 Análisis y Síntesis de Circuitos Secuenciales

Obtención de las expresiones mínimas

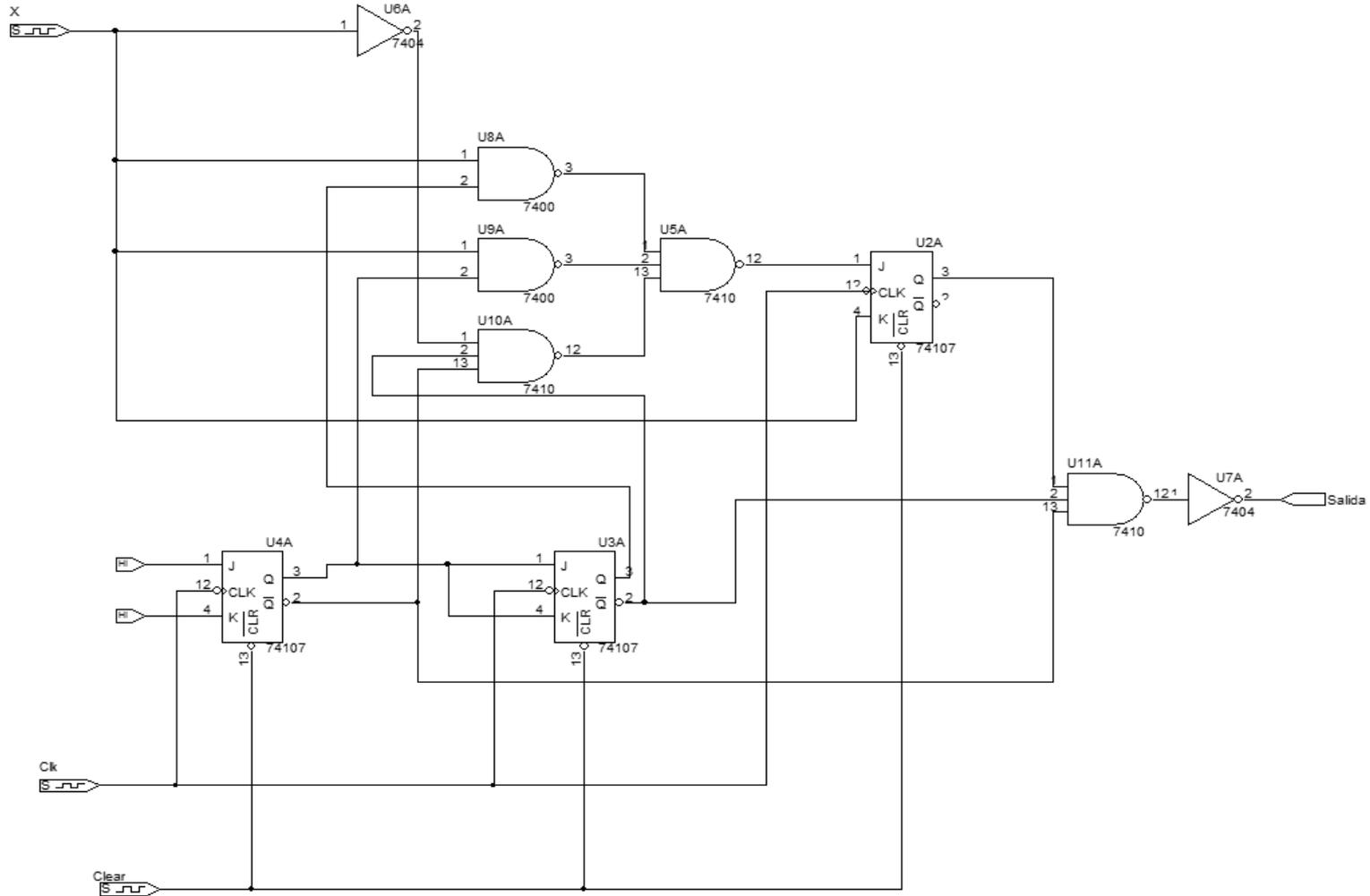
S

| q_2q_1 q_0E | 00 | 01 | 11 | 10 |
|--------------------|----|----|----|----|
| 00 | 0 | 0 | 0 | 1 |
| 01 | 0 | 0 | 0 | 1 |
| 11 | 0 | 0 | 0 | 0 |
| 10 | 0 | 0 | 0 | 0 |

$$S = q_2 \cdot \bar{q}_1 \cdot \bar{q}_0$$

2.4 Análisis y Síntesis de Circuitos Secuenciales

Implementación



2.4 Análisis y Síntesis de Circuitos Secuenciales

Verificación y Pruebas

